

PAT-NO: JP02003298417A

DOCUMENT-IDENTIFIER: JP 2003298417 A

TITLE: TWO SYSTEMS OF PLL CIRCUITS FOR TRANSMITTING AND RECEIVING

PUBN-DATE: October 17, 2003

INVENTOR-INFORMATION:

NAME SATO, SEIGO COUNTRY N/A

ASSIGNEE-INFORMATION:

NAME MATSUSHITA ELECTRIC IND CO LTD COUNTRY N/A

APPL-NO: JP2002100910

APPL-DATE: April 3, 2002

INT-CL (IPC): H03L007/22, H03L007/087, H04B001/40

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent the influence of one PLL circuit from being exerted upon the other PLL circuit when supplying power to each block in two systems of PLL circuits for transmitting and receiving on the same semiconductor substrate.

SOLUTION: When a first PLL circuit 1 inputs channel data 8a and a frequency of an output signal 9a is locked in a channel A, the outputs of an analog power source 5a, a digital power source 6a and a VCO power source 7a of the first PLL circuit 1 are fluctuated. When a second PLL circuit 2 inputs channel data 8b and a frequency of an output signal 9b is locked in a channel B, the outputs of an analog power source 5b, a digital power source 6b and a VCO power source 7b of the second PLL circuit 2 are fluctuated. In the case of fluctuation, since the analog power source 5a, the digital power source 6a and the VCO power source 7a of the first PLL circuit 1 are separately configured, there is no influence upon each power source of the first PLL circuit 1, and the frequency of the output signal 9a is not affected.

COPYRIGHT: (C) 2004, JPO

Best Available Copy

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the current supply means used for the field of a communication link and signal processing, and relates to the two transmitting carrier trust PLL circuit of correspondence in the radio equipment when realizing integration on the same semiconductor substrate especially.

[0002]

[Description of the Prior Art] Conventionally, the two transmitting carrier trust PLL circuit of correspondence in radio equipment was constituted by two semiconductor integrated circuits. However, in connection with the inclination of a miniaturization of communication equipment in recent years, it is required that two semiconductor integrated circuits should be packed into one semiconductor integrated circuit.

[0003] Drawing 11 is a block diagram when the outline which performs current supply in the two transmitting carrier trust PLL circuit of correspondence in the conventional radio equipment being shown, and constituting the conventional two transmitting carrier trust PLL circuit from one semiconductor integrated circuit.

[0004] The power source 5 which integrates the 1st and 2nd PLL circuit 1 and 2 on the same semi-conductor substrate 3, and supplies power to each analog section of the 1st and 2nd PLL circuit 1 and 2 as shown in drawing 11, It is the power-source configuration which consists of a power source 6 which supplies power to each digital section of the 1st and 2nd PLL circuit 1 and 2, and a power source 7 which supplies power to each VCO section of the 1st and 2nd PLL circuit 1 and 2. Moreover, drawing 12 is the timing chart of each part in the two-line PLL circuit for transmission and reception corresponding to the radio equipment constituted on the same semi-conductor substrate 3 in the conventional example.

[0005] In drawing 11 and drawing 12, the output signal of the 1st PLL circuit 1 and 9b of channel data [as opposed to the 1st PLL circuit 1 in 8a], channel data [as opposed to the 2nd PLL circuit 2 in 8b], and 9a are the output signals of the 2nd PLL circuit 2.

[0006] In inputting channel data 8a to the 1st PLL circuit 1, the frequency of output-signal 9a of the 1st PLL circuit 1 is locked by A channels. At this time, each output of the analog section power source 5 which supplies power to each analog section of the 1st and 2nd PLL circuit 1 and 2, the digital section power source 6 which supplies power to each digital section of the 1st and 2nd PLL circuit 1 and 2, and the VCO section power source 7 which supplies power to each VCO section of the 1st and 2nd PLL circuit 1 and 2 is changed.

[0007] Moreover, the frequency of output-signal 9b of the 2nd PLL circuit 2 is locked by B channels in inputting channel data 8b to the 2nd PLL circuit 2. At this time, the analog section power source 5 which supplies power to each analog section of the 1st and 2nd PLL circuit 1 and 2, the digital section power source 6 which supplies power to each digital section of the 1st and 2nd PLL circuit 1 and 2, and the VCO section power source 7 which supplies power to each VCO section of the 1st and 2nd PLL circuit 1 and 2 are changed. Effect is ****(ed) to output signal 9a of the 1st PLL circuit 1 by fluctuation of this power source, and fluctuation of a frequency which becomes communicative hindrance takes place.

[0008]

[Problem(s) to be Solved by the Invention] The frequency which the PLL circuit of another side locks separated, when one PLL circuit performs the ON/OFF, and the channel changes at the time of transmitting burst actuation etc., it is and generating of the fault of reception actuation etc. stopping operating normally etc. was not realized in the current-supply means of the two transmitting carrier trust PLL circuit of correspondence in the radio equipment which it comes to accumulate on the same semi-conductor substrate which was mentioned above.

[0009] This invention aims at offering the two line PLL circuit for transmission and reception constituted by the same semi-conductor substrate which reduced or canceled said fault by constituting with two or more current-supply means direct to solve the problem of said conventional technique, are used for the radio equipment which consists of on the same semi-conductor substrate, and supply power for every block in the two transmitting carrier trust PLL circuit of correspondence.

[0010]

[Means for Solving the Problem] In order to attain this purpose, the two-line PLL circuit for transmission and reception concerning this invention In the two-line PLL circuit for transmission and reception which comes to integrate the 1st PLL circuit and the 2nd PLL circuit which are a phase-locked loop circuit used with radio equipment on the same semi-conductor substrate A current supply means to supply power to the circuit section (henceforth the analog section) which consisted of bipolar transistor circuits of the 1st PLL circuit, A current supply means to supply power to the circuit section (henceforth the digital section) which consisted of MOS transistor circuits of the 1st PLL circuit, A current supply means to supply power to the voltage controlled oscillator section (henceforth the VCO section) of the 1st PLL circuit, It is characterized by having a current supply means to supply power to the analog section of the 2nd PLL circuit, a current supply means to supply power to the digital section of the 2nd PLL circuit, and a current supply means to supply power to the VCO section of the 2nd PLL circuit.

[0011] Moreover, the 1st PLL circuit and the 2nd PLL circuit which are a phase-locked loop circuit used with radio equipment are set in the two-line PLL circuit for transmission and reception which it comes to integrate on the same semi-conductor substrate. The 1st and a current supply means to supply power to each analog section of the 2nd PLL circuit, A current supply means to supply power to the digital section of the 1st PLL circuit, and a current supply means to supply power to the VCO section of the 1st PLL circuit, It is characterized by having a current supply means to supply power to the digital section of the 2nd PLL circuit, and a current supply means to supply power to the VCO section of the 2nd PLL circuit.

[0012] Moreover, the 1st PLL circuit and the 2nd PLL circuit which are a phase-locked loop circuit used with radio equipment, The 1st and the reference amplifier circuit which amplifies the signal of the crystal oscillator which is the common section of the 2nd PLL circuit, In the two-line PLL circuit for transmission and reception which comes to integrate the conversion circuit which changes the output signal of a reference amplifier circuit into a digital signal from an analog signal on the same semi-conductor substrate A current supply means to supply power to the digital section of the 1st PLL circuit, and a current supply means to supply power to the VCO section of the 1st PLL circuit, A current supply means to supply power to the digital section of the 2nd PLL circuit, and a current supply means to supply power to the VCO section of the 2nd PLL circuit, It is characterized by having a current supply means to supply power to the 1st, each analog section of the 2nd PLL circuit, a reference amplifier circuit,

and a conversion circuit.

[0013] Moreover, the 1st PLL circuit and the 2nd PLL circuit which are a phase-locked loop circuit used with radio equipment, The 1st and the reference amplifier circuit which amplifies the signal of the crystal oscillator which is the common section of the 2nd PLL circuit, In the two-line PLL circuit for transmission and reception which comes to integrate the conversion circuit which changes the output signal of a reference amplifier circuit into a digital signal from an analog signal on the same semi-conductor substrate A current supply means to supply power to the 1st digital section and VCO section of a PLL circuit, It is characterized by having a current supply means to supply power to the 2nd digital section and VCO section of a PLL circuit, and a current supply means to supply power to the 1st, each analog section of the 2nd PLL circuit, a reference amplifier circuit, and a conversion circuit.

[0014] Moreover, the 1st PLL circuit and the 2nd PLL circuit which are a phase-locked loop circuit used with radio equipment, The 1st and the reference amplifier circuit which amplifies the signal of the crystal oscillator which is the common section of the 2nd PLL circuit, In the two-line PLL circuit for transmission and reception which comes to integrate the conversion circuit which changes the output signal of a reference amplifier circuit into a digital signal from an analog signal on the same semi-conductor substrate A current supply means to supply power to the 1st, each analog section of the 2nd PLL circuit, the digital section of the 1st PLL circuit, the VCO section, a reference amplifier circuit, and a conversion circuit, It is characterized by having a current supply means to supply power to the 2nd digital section and VCO section of a PLL circuit.

[0015] When ON/OFF, a channel change, etc. of transmitting burst actuation etc. are performed in one PLL circuit in the two transmitting carrier trust PLL circuit equipped with two PLL circuits on the same semi-conductor substrate according to the aforementioned power-source configuration, the blank of the frequency locked in the PLL circuit of another side, for example, reception actuation etc., can prevent the fault of stopping operating normally etc. occurring.

[0016]

[Embodiment of the Invention] Hereafter, the gestalt of the operation in this invention is explained to a detail with reference to a drawing.

[0017] Drawing 1 is drawing showing the configuration which supplies a power source to the two-line PLL circuit for transmission and reception of correspondence in the radio equipment constituted on the same semi-conductor substrate in the gestalt 1 of operation of this invention. Here, the same sign is given to what corresponds to the requirements for a configuration explained in drawing 11 which shows said conventional example, and has an equivalent function substantially, and this is shown, and suppose that it is the same also in each following drawing.

[0018] In drawing 1 the 2nd PLL circuit and 3 for the 1st PLL circuit and 2 A semi-conductor substrate, The analog section power source with which a crystal oscillator and 5a supply power to the analog section of the 1st PLL circuit 1 in 4, The analog section power source with which 5b supplies power to the analog section of the 2nd PLL circuit 2, The digital section power source with which 6a supplies power to the digital section of the 1st PLL circuit 1, The digital section power source with which 6b supplies power to the digital section of the 2nd PLL circuit 2, The VCO section power source with which 7a supplies power to the VCO section of the 1st PLL circuit 1, The output signal of the 1st PLL circuit 1 and 9b of channel data [as opposed to the 1st PLL circuit 1 in the VCO section power source with which 7b supplies power to the VCO section of the 2nd PLL circuit 2, and 8a], channel data [as opposed to the 2nd PLL circuit 2 in 8b], and 9a are the output signals of the 2nd PLL circuit.

[0019] In the two-line PLL circuit for transmission and reception constituted as mentioned above, the frequency of output-signal 9a of the 1st PLL circuit 1 is locked by A channels in inputting channel data 8a to the 1st PLL circuit 1. At this time, the output of analog section power-source 5a of the 1st PLL circuit 1 which supplies power to each part, digital section power-source 6a of the 1st PLL circuit 1, and VCO section power-source 7a of the 1st PLL circuit 1 is changed (refer to drawing 2).

[0020] Furthermore, the frequency of output-signal 9b of the 2nd PLL circuit 2 is locked by B channels in inputting channel data 8b to the 2nd PLL circuit 2. As mentioned above also at this time, the output of analog section power-source 5b of the 2nd PLL circuit 2 which supplies power to each part, digital section power-source 6b of the 2nd PLL circuit 2, and VCO section power-source 7b of the 2nd PLL circuit 2 is changed (refer to drawing 2).

[0021] As shown in drawing 2 , however, analog section power-source 5b of the 2nd PLL circuit 2, When digital section power-source 6b and VCO section power-source 7b are changed, analog section power-source 5a of the 1st PLL circuit 1, Since digital section power-source 6a and VCO section power-source 7a are constituted as another power source, each part power source of the 1st PLL circuit 1 is not affected, and the frequency of output signal 9a of the 1st PLL circuit 1 is not influenced.

[0022] As mentioned above, according to the gestalt 1 of this operation, it sets in the two-line PLL circuit for transmission and reception of correspondence in radio equipment. Analog section power-source 5a which is the current supply means of the analog section of the 1st PLL circuit 1, Digital section power-source 6a which is the current supply means of the digital section of the 1st PLL circuit 1, VCO section power-source 7a which is the current supply means of the VCO section of the 1st PLL circuit 1, Analog section power-source 5b which is the current supply means of the analog section of the 2nd PLL circuit 2, By using as an independent power source digital section power-source 6b which is the current supply means of the digital section of the 2nd PLL circuit 2, and VCO section power-source 7b which is the current supply means of the VCO section of the 2nd PLL circuit 2, respectively, and supplying power to each part Mutual supply voltage cannot be affected and the effect to each output frequency can be lost.

[0023] Drawing 3 is drawing showing the configuration which supplies a power source to the two-line PLL circuit for transmission and reception of correspondence in the radio equipment constituted on the same semi-conductor substrate in the gestalt 2 of operation of this invention.

[0024] In drawing 3 1 the 2nd PLL circuit and 3 for the 1st PLL circuit and 2 A semi-conductor substrate, The analog section power source to which 4 supplies a crystal oscillator to the analog section of the 1st and 2nd PLL circuit 1 and 2, and 5 supplies power, The digital section power source of the 1st PLL circuit 1 and 6b 6a The digital section power source of the 2nd PLL circuit 2, The VCO section power source of the 1st PLL circuit 1 and 7b 7a The VCO section power source of the 2nd PLL circuit 2, The output signal of the 1st PLL circuit 1 and 9b of channel data [as opposed to the 1st PLL circuit 1 in 8a], channel data [as opposed to the 2nd PLL circuit 2 in 8b], and 9a are the output signals of the 2nd PLL circuit 2.

[0025] In the gestalt 2 of this operation, the frequency of output-signal 9a of the 1st PLL circuit 1 is locked by A channels in inputting channel data 8a to the 1st PLL circuit 1. At this time, the output of the analog section power source 5 which supplies power to the analog section of the 1st PLL circuit 1 and the analog section of the 2nd PLL circuit 2, digital section power-source 6a of the 1st PLL circuit 1, and VCO section power-source 7a of the 1st PLL circuit 1 is changed (refer to drawing 4).

[0026] Moreover, the frequency of output-signal 9b of the 2nd PLL circuit 2 is locked by B channels in inputting channel data 8b to the 2nd PLL circuit 2. At this time, the analog section power source 5 of the 1st and 2nd PLL circuit 1 and 2, digital section power-source 6b of the 2nd PLL circuit 2, and VCO section power-source 7b of the 2nd PLL circuit 2 are changed. Under this effect, the output of output signal 9a of the 1st PLL circuit 1 is changed (refer to drawing 4).

[0027] However, the frequency drift of output signal 9a by fluctuation of the analog section power source 5 is small, and does not turn into fluctuation of the frequency which becomes communicative hindrance.

[0028] As mentioned above, according to the gestalt 2 of this operation, it sets in the two-line PLL circuit for transmission and reception. The 1st and the analog section power source 5 which is the current supply means of the analog section of the 2nd PLL circuit 1 and 2, Digital section power-source 6a which is the current supply means of the digital section of the 1st PLL circuit 1, VCO section power-source 7a used as the current supply

means of the VCO section of the 1st PLL circuit 1, By using as an independent power source digital section power-source 6b which is the current supply means of the digital section of the 2nd PLL circuit 2, and VCO section power-source 7b which is the current supply means of the VCO section of the 2nd PLL circuit 2, respectively, and supplying power to each part Interference which affects mutual supply voltage can be suppressed to the minimum, and fluctuation of each output frequency used as communicative hindrance can be lost.

[0029] Drawing 5 is drawing showing the configuration which supplies a power source to the two-line PLL circuit for transmission and reception of correspondence in the radio equipment constituted on the same semi-conductor substrate in the gestalt 3 of operation of this invention.

[0030] In drawing 5 1 the 2nd PLL circuit and 3 for the 1st PLL circuit and 2 A semi-conductor substrate, 4 the digital section power source of the 1st PLL circuit 1, and 6b for a crystal oscillator and 6a The digital section power source of the 2nd PLL circuit 2, The VCO section power source of the 1st PLL circuit 1 and 7b 7a The VCO section power source of the 2nd PLL circuit 2, Channel data [as opposed to the 1st PLL circuit 1 in 8a], channel data [as opposed to the 2nd PLL circuit 2 in 8b], The output signal of the 1st PLL circuit 1 and 9b 9a The output signal of the 2nd PLL circuit 2, The reference amplifier circuit where 10 amplifies the signal of a crystal oscillator 4, the ECL-CMOS conversion circuit which is a conversion circuit by which 11 changes the output signal of a reference amplifier circuit into a digital signal from an analog signal, 12 is the analog section which supplies power to each part of the 1st, the analog section of the 2nd PLL circuit 1 and 2, the reference amplifier circuit 10, and the ECL-CMOS conversion circuit 11, a reference amplifier circuit, and an ECL-CMOS conversion circuit power source.

[0031] In the gestalt 3 of this operation, the frequency of output-signal 9a of the 1st PLL circuit 1 is locked by A channels in inputting channel data 8a to the 1st PLL circuit 1. At this time, the output of the analog section which supplies power to the analog section of the 1st and 2nd PLL circuit 1 and 2, the reference amplifier circuit section 10 of the common section, and the ECL-CMOS conversion circuit section of the common section, a reference circuit, the ECL-CMOS conversion circuit power source 12, digital section power-source 6a of the 1st PLL circuit 1, and VCO section power-source 7a of the 1st PLL circuit 1 is changed (refer to drawing 6).

[0032] Moreover, the frequency of output-signal 9b of the 2nd PLL circuit 2 is locked by B channels in inputting channel data 8b to the 2nd PLL circuit 2. At this time, the analog section, a reference amplifier circuit, the ECL-CMOS conversion circuit power source 12, digital section power-source 6b of the 2nd PLL circuit 2, and VCO section power-source 7b of the 2nd PLL circuit 2 are changed. Under this effect, the output of output signal 9a of the 1st PLL circuit 1 is changed (refer to drawing 6).

[0033] However, the frequency drift of output signal 9a by fluctuation of the analog section, a reference amplifier circuit, and the ECL-CMOS conversion circuit power source 12 is small, and does not turn into fluctuation of the frequency which becomes communicative hindrance.

[0034] As mentioned above, according to the gestalt 3 of this operation, it sets in the two-line PLL circuit for transmission and reception of correspondence in radio equipment. The analog section which is the current supply means of the 1st, the analog section of the 2nd PLL circuit 1 and 2, the reference amplifier circuit 10, and the ECL-CMOS conversion circuit 11, a reference amplifier circuit, and the ECL-CMOS conversion circuit power source 12, Digital section power-source 6a which is the current supply means of the digital section of the 1st PLL circuit 1,

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing showing the configuration which supplies a power source to the two-line PLL circuit for transmission and reception constituted on the same semi-conductor substrate in the gestalt 1 of operation of this invention

[Drawing 2] The timing chart of each part in the two-line PLL circuit for transmission and reception constituted on the same semi-conductor substrate in the gestalt 1 of this operation

[Drawing 3] Drawing showing the configuration which supplies a power source to the two-line PLL circuit for transmission and reception constituted on the same semi-conductor substrate in the gestalt 2 of operation of this invention

[Drawing 4] The timing chart of each part in the two-line PLL circuit for transmission and reception constituted on the same semi-conductor substrate in the gestalt 2 of this operation

[Drawing 5] Drawing showing the configuration which supplies a power source to the two-line PLL circuit for transmission and reception constituted on the same semi-conductor substrate in the gestalt 3 of operation of this invention

[Drawing 6] The timing chart of each part in the two-line PLL circuit for transmission and reception constituted on the same semi-conductor substrate in the gestalt 3 of this operation

[Drawing 7] Drawing showing the configuration which supplies a power source to the two-line PLL circuit for transmission and reception constituted on the same semi-conductor substrate in the gestalt 4 of operation of this invention

[Drawing 8] The timing chart of each part in the two-line PLL circuit for transmission and reception constituted on the same semi-conductor substrate in the gestalt 4 of this operation

[Drawing 9] Drawing showing the configuration which supplies a power source to the two-line PLL circuit for transmission and reception constituted on the same semi-conductor substrate in the gestalt 5 of operation of this invention

[Drawing 10] The timing chart of each part in the two-line PLL circuit for transmission and reception constituted on the same semi-conductor substrate in the gestalt 5 of this operation

[Drawing 11] The block diagram showing the outline which constitutes the two transmitting carrier trust PLL circuit of correspondence in the conventional radio equipment from one semiconductor integrated circuit, and performs current supply

[Drawing 12] The timing chart of each part in the two-line PLL circuit for transmission and reception constituted on the same conventional semi-conductor substrate

[Description of Notations]

1 1st PLL Circuit

2 2nd PLL Circuit

3 Semi-conductor Substrate

4 Crystal Oscillator

5, 5a, 5b Analog section power source

6, 6a, 6b Digital section power source

7, 7a, 7b The VCO section power source

8a Channel data to the 1st PLL circuit

8b Channel data to the 2nd PLL circuit

9a The output signal of the 1st PLL circuit

9b The output signal of the 2nd PLL circuit

10 Reference Amplifier Circuit

11 ECL-CMOS Conversion Circuit

12 Analog Section, Reference Amplifier Circuit, ECL-CMOS Conversion Circuit Power Source

13a, 13b The digital section, the VCO section power source

14 Digital Section, the VCO Section, Analog Section, Reference Amplifier Circuit, ECL-CMOS Conversion Circuit Power Source

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the two-line PLL circuit for transmission and reception which comes to integrate the 1st PLL (Phase Locked Loop) circuit and the 2nd PLL circuit which are a phase-locked loop circuit used with radio equipment on the same semi-conductor substrate A current supply means to supply power to the circuit section (henceforth the analog section) which consisted of bipolar transistor circuits of said 1st PLL circuit, A current supply means to supply power to the circuit section (henceforth the digital section) which consisted of MOS transistor circuits of said 1st PLL circuit, A current supply means to supply power to the voltage controlled oscillator section (henceforth the VCO section) of said 1st PLL circuit, The two-line PLL circuit for transmission and reception characterized by having a current supply means to supply power to the analog section of said 2nd PLL circuit, a current supply means to supply power to the digital section of said 2nd PLL circuit, and a current supply means to supply power to the VCO section of said 2nd PLL circuit.

[Claim 2] In the two-line PLL circuit for transmission and reception which comes to integrate the 1st PLL circuit and the 2nd PLL circuit which are a phase-locked loop circuit used with radio equipment on the same semi-conductor substrate Said 1st [the] and a current supply means to supply power to each analog section of the 2nd PLL circuit, A current supply means to supply power to the digital section of said 1st PLL circuit, The two-line PLL circuit for transmission and reception characterized by having a current supply means to supply power to the VCO section of said 1st PLL circuit, a current supply means to supply power to the digital section of said 2nd PLL circuit, and a current supply means to supply power to the VCO section of said 2nd PLL circuit.

[Claim 3] The 1st PLL circuit and the 2nd PLL circuit which are a phase-locked loop circuit used with radio equipment, Said 1st [the] and the reference amplifier circuit which amplifies the signal of the crystal oscillator which is the common section of the 2nd PLL circuit, In the two-line PLL circuit for transmission and reception which comes to integrate the conversion circuit which changes the output signal of said reference amplifier circuit into a digital signal from an analog signal on the same semi-conductor substrate A current supply means to supply power to the digital section of said 1st PLL circuit, A current supply means to supply power to the VCO section of said 1st PLL circuit, A current supply means to supply power to the digital section of said 2nd PLL circuit, The two-line PLL circuit for transmission and reception characterized by having a current supply means to supply power to the VCO section of said 2nd PLL circuit, and a current supply means to supply power to said 1st [the], each analog section of the 2nd PLL circuit, said reference amplifier circuit, and said conversion circuit.

[Claim 4] The 1st PLL circuit and the 2nd PLL circuit which are a phase-locked loop circuit used with radio equipment, Said 1st [the] and the reference amplifier circuit which amplifies the signal of the crystal oscillator which is the common section of the 2nd PLL circuit, In the two-line PLL circuit for transmission and reception which comes to integrate the conversion circuit which changes the output signal of said reference amplifier circuit into a digital signal from an analog signal on the same semi-conductor substrate A current supply means to supply power to said the 1st digital section and VCO section of a PLL circuit, A current supply means to supply power to said the 2nd digital section and VCO section of a PLL circuit, Said 1st [the], each analog section of the 2nd PLL circuit, said reference amplifier circuit, and the two-line PLL circuit for transmission and reception characterized by having a current supply means to supply power to said conversion circuit.

[Claim 5] The 1st PLL circuit and the 2nd PLL circuit which are a phase-locked loop circuit used with radio equipment, Said 1st [the] and the reference amplifier circuit which amplifies the signal of the crystal oscillator which is the common section of the 2nd PLL circuit, In the two-line PLL circuit for transmission and reception which comes to integrate the conversion circuit which changes the output signal of said reference amplifier circuit into a digital signal from an analog signal on the same semi-conductor substrate A current supply means to supply power to said 1st [the], each analog section of the 2nd PLL circuit, the digital section of said 1st PLL circuit, the VCO section, said reference amplifier circuit, and said conversion circuit, The two-line PLL circuit for transmission and reception characterized by having a current supply means to supply power to said the 2nd digital section and VCO section of a PLL circuit.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-298417

(P2003-298417A)

(43) 公開日 平成15年10月17日 (2003.10.17)

(51) Int.Cl.⁷

識別記号

F I

テームト* (参考)

H 0 3 L 7/22

H 0 3 L 7/22

5 J 1 0 6

7/087

H 0 4 B 1/40

5 K 0 1 1

H 0 4 B 1/40

H 0 3 L 7/08

P

審査請求 未請求 請求項の数 5 O L (全 13 頁)

(21) 出願番号 特願2002-100910(P2002-100910)

(22) 出願日 平成14年4月3日 (2002.4.3)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 佐藤 成悟

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100112128

弁理士 村山 光威

Fターム(参考) 5J106 AA04 CC15 CC20 CC35 EE17

EE18 KK29 KK37 QQ10

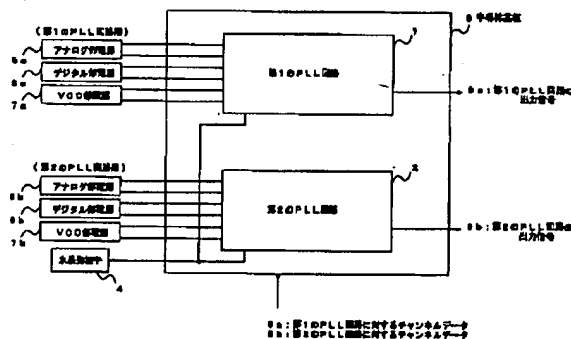
5K011 DA07 DA29 KA18

(54) 【発明の名称】 送受信用2系統PLL回路

(57) 【要約】

【課題】 同一半導体基板上の送信受信用2系統PLL回路における各ブロックの電源供給で、一方のPLL回路の影響が他方のPLL回路に生じることを防ぐ。

【解決手段】 第1のPLL回路1はチャンネルデータ8a入力で、出力信号9aの周波数がAチャンネルでロック時、第1のPLL回路1のアナログ部電源5a、デジタル部電源6a、VCO部電源7aの出力が変動。また第2のPLL回路2はチャンネルデータ8b入力で、出力信号9bの周波数がBチャンネルでロック時、第2のPLL回路2のアナログ部電源5b、デジタル部電源6b、VCO部電源7bの出力が変動。この変動時において、第1のPLL回路1のアナログ部電源5a、デジタル部電源6a、VCO部電源7aは別電源構成であることから、第1のPLL回路1の各部電源に影響はなく、出力信号9aの周波数に影響することはない。



【特許請求の範囲】

【請求項1】 無線装置で使用する位相同期ループ回路である第1のPLL (Phase Locked Loop) 回路および第2のPLL回路を同一の半導体基板上に集積化してなる送受信2系統PLL回路において、

前記第1のPLL回路のバイポーラトランジスタ回路で構成された回路部（以下、アナログ部という）に電力を供給する電源供給手段と、

前記第1のPLL回路のMOSTランジスタ回路で構成された回路部（以下、デジタル部という）に電力を供給する電源供給手段と、

前記第1のPLL回路の電圧制御発振器部（以下、VCO部という）に電力を供給する電源供給手段と、

前記第2のPLL回路のアナログ部に電力を供給する電源供給手段と、

前記第2のPLL回路のデジタル部に電力を供給する電源供給手段と、

前記第2のPLL回路のVCO部に電力を供給する電源供給手段と、を備えたことを特徴とする送受信2系統PLL回路。

【請求項2】 無線装置で使用する位相同期ループ回路である第1のPLL回路および第2のPLL回路を同一の半導体基板上に集積化してなる送受信2系統PLL回路において、

前記第1、第2のPLL回路の各アナログ部に電力を供給する電源供給手段と、

前記第1のPLL回路のデジタル部に電力を供給する電源供給手段と、

前記第1のPLL回路のVCO部に電力を供給する電源供給手段と、

前記第2のPLL回路のデジタル部に電力を供給する電源供給手段と、

前記第2のPLL回路のVCO部に電力を供給する電源供給手段と、を備えたことを特徴とする送受信2系統PLL回路。

【請求項3】 無線装置で使用する位相同期ループ回路である第1のPLL回路および第2のPLL回路と、前記第1、第2のPLL回路の共通部である水晶発振子の信号を増幅するリファレンスアンプ回路と、前記リファレンスアンプ回路の出力信号をアナログ信号からデジタル信号に変換する変換回路とを、同一の半導体基板上に集積化してなる送受信2系統PLL回路において、

前記第1のPLL回路のデジタル部に電力を供給する電源供給手段と、

前記第1のPLL回路のVCO部に電力を供給する電源供給手段と、

前記第2のPLL回路のデジタル部に電力を供給する電源供給手段と、

前記第2のPLL回路のVCO部に電力を供給する電源供給手段と、

前記第1、第2のPLL回路の各アナログ部、および前記リファレンスアンプ回路、および前記変換回路に電力を供給する電源供給手段と、を備えたことを特徴とする送受信2系統PLL回路。

【請求項4】 無線装置で使用する位相同期ループ回路である第1のPLL回路および第2のPLL回路と、前記第1、第2のPLL回路の共通部である水晶発振子の信号を増幅するリファレンスアンプ回路と、前記リファレンスアンプ回路の出力信号をアナログ信号からデジタル信号に変換する変換回路とを、同一の半導体基板上に集積化してなる送受信2系統PLL回路において、前記第1のPLL回路のデジタル部およびVCO部に電力を供給する電源供給手段と、

前記第2のPLL回路のデジタル部およびVCO部に電力を供給する電源供給手段と、

前記第1、第2のPLL回路の各アナログ部、および前記リファレンスアンプ回路、および前記変換回路に電力を供給する電源供給手段と、を備えたことを特徴とする送受信2系統PLL回路。

【請求項5】 無線装置で使用する位相同期ループ回路である第1のPLL回路および第2のPLL回路と、前記第1、第2のPLL回路の共通部である水晶発振子の信号を増幅するリファレンスアンプ回路と、前記リファレンスアンプ回路の出力信号をアナログ信号からデジタル信号に変換する変換回路とを、同一の半導体基板上に集積化してなる送受信2系統PLL回路において、

前記第1、第2のPLL回路の各アナログ部、および前記第1のPLL回路のデジタル部およびVCO部、および前記リファレンスアンプ回路、および前記変換回路に電力を供給する電源供給手段と、

前記第2のPLL回路のデジタル部およびVCO部に電力を供給する電源供給手段と、を備えたことを特徴とする送受信2系統PLL回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、通信、信号処理の分野に使用される電源供給手段に係り、特に、同一の半導体基板上に集積化を実現した時の無線装置に対応の送受信2系統PLL回路に関するものである。

【0002】

【従来の技術】従来、無線装置に対応の送受信2系統PLL回路は、2つの半導体集積回路によって構成されていた。ところが、近年の通信機器の小型化の傾向に伴い、2つの半導体集積回路を1つの半導体集積回路にまとめることが要求されている。

【0003】図11は、従来の無線装置に対応の送受信2系統PLL回路に電源供給を行う概略を示し、従来の送受信2系統PLL回路を、1つの半導体集積回路で構成した時の構成図である。

【0004】図11に示すように、第1、第2のPLL

回路1、2を同一の半導体基板3上に集積化し、第1、第2のPLL回路1、2の各アナログ部に電力を供給する電源5と、第1、第2のPLL回路1、2の各デジタル部に電力を供給する電源6と、第1、第2のPLL回路1、2の各VCO部に電力を供給する電源7とからなる電源構成である。また、図12は従来例における同一の半導体基板3上に構成した無線装置対応の送受信用2系統PLL回路における各部のタイミングチャートである。

【0005】図11、図12において、8aは第1のPLL回路1に対するチャンネルデータ、8bは第2のPLL回路2に対するチャンネルデータ、9aは第1のPLL回路1の出力信号、9bは第2のPLL回路2の出力信号である。

【0006】第1のPLL回路1に対するチャンネルデータ8aを入力することで、第1のPLL回路1の出力信号9aの周波数はAチャンネルでロックする。この時、第1、第2のPLL回路1、2の各アナログ部に電力を供給するアナログ部電源5と、第1、第2のPLL回路1、2の各デジタル部に電力を供給するデジタル部電源6と、第1、第2のPLL回路1、2の各VCO部に電力を供給するVCO部電源7の各出力が変動する。

【0007】また、第2のPLL回路2に対するチャンネルデータ8bを入力することで、第2のPLL回路2の出力信号9bの周波数はBチャンネルでロックする。この時、第1、第2のPLL回路1、2の各アナログ部に電力を供給するアナログ部電源5と、第1、第2のPLL回路1、2の各デジタル部に電力を供給するデジタル部電源6と、第1、第2のPLL回路1、2の各VCO部に電力を供給するVCO部電源7とが変動する。この電源の変動により第1のPLL回路1の出力信号9aに影響を及ぼし、通信の妨げになるような周波数の変動が起こる。

【0008】

【発明が解決しようとする課題】前述したような同一の半導体基板上に集積してなる無線装置に対応の送受信用2系統PLL回路の電源供給手段においては、一方のPLL回路が送信バースト動作時等のオン/オフやチャンネル切替を行った場合に、他方のPLL回路のロックしている周波数が外れ、受信動作などが正常に動作しなくなる等の不具合の発生があり実現されていなかった。

【0009】本発明は、前記従来技術の問題を解決することに指向するものであり、同一の半導体基板上で構成される無線装置に用いられ対応の送受信用2系統PLL回路において、各ブロック毎に電力を供給する複数の電源供給手段によって構成することにより、前記不具合を低減または解消した同一半導体基板上に構成される送受信用2系統PLL回路を提供することを目的とする。

【0010】

【課題を解決するための手段】この目的を達成するため

に、本発明に係る送受信用2系統PLL回路は、無線装置で使用する位相同期ループ回路である第1のPLL回路および第2のPLL回路を同一の半導体基板上に集積化してなる送受信用2系統PLL回路において、第1のPLL回路のバイポーラトランジスタ回路で構成された回路部（以下、アナログ部という）に電力を供給する電源供給手段と、第1のPLL回路のMOSトランジスタ回路で構成された回路部（以下、デジタル部という）に電力を供給する電源供給手段と、第1のPLL回路の電圧制御発振器部（以下、VCO部という）に電力を供給する電源供給手段と、第2のPLL回路のアナログ部に電力を供給する電源供給手段と、第2のPLL回路のデジタル部に電力を供給する電源供給手段と、第2のPLL回路のVCO部に電力を供給する電源供給手段と、を備えたことを特徴とする。

【0011】また、無線装置で使用する位相同期ループ回路である第1のPLL回路および第2のPLL回路を同一の半導体基板上に集積化してなる送受信用2系統PLL回路において、第1、第2のPLL回路の各アナログ部に電力を供給する電源供給手段と、第1のPLL回路のデジタル部に電力を供給する電源供給手段と、第1のPLL回路のVCO部に電力を供給する電源供給手段と、第2のPLL回路のデジタル部に電力を供給する電源供給手段と、第2のPLL回路のVCO部に電力を供給する電源供給手段と、を備えたことを特徴とする。

【0012】また、無線装置で使用する位相同期ループ回路である第1のPLL回路および第2のPLL回路と、第1、第2のPLL回路の共通部である水晶発振子の信号を増幅するリファレンスアンプ回路と、リファレンスアンプ回路の出力信号をアナログ信号からデジタル信号に変換する変換回路とを、同一の半導体基板上に集積化してなる送受信用2系統PLL回路において、第1のPLL回路のデジタル部に電力を供給する電源供給手段と、第1のPLL回路のVCO部に電力を供給する電源供給手段と、第2のPLL回路のデジタル部に電力を供給する電源供給手段と、第2のPLL回路のVCO部に電力を供給する電源供給手段と、第1、第2のPLL回路の各アナログ部、およびリファレンスアンプ回路、および変換回路に電力を供給する電源供給手段と、を備えたことを特徴とする。

【0013】また、無線装置で使用する位相同期ループ回路である第1のPLL回路および第2のPLL回路と、第1、第2のPLL回路の共通部である水晶発振子の信号を増幅するリファレンスアンプ回路と、リファレンスアンプ回路の出力信号をアナログ信号からデジタル信号に変換する変換回路とを、同一の半導体基板上に集積化してなる送受信用2系統PLL回路において、第1のPLL回路のデジタル部およびVCO部に電力を供給する電源供給手段と、第2のPLL回路のデジタル部およびVCO部に電力を供給する電源供給手段と、第1、

第2のPLL回路の各アナログ部、およびリファレンスアンプ回路、および変換回路に電力を供給する電源供給手段と、を備えたことを特徴とする。

【0014】また、無線装置で使用する位相同期ループ回路である第1のPLL回路および第2のPLL回路と、第1、第2のPLL回路の共通部である水晶発振子の信号を増幅するリファレンスアンプ回路と、リファレンスアンプ回路の出力信号をアナログ信号からデジタル信号に変換する変換回路とを、同一の半導体基板上に集積化してなる送受信用2系統PLL回路において、第1、第2のPLL回路の各アナログ部、および第1のPLL回路のデジタル部およびVCO部、およびリファレンスアンプ回路、および変換回路に電力を供給する電源供給手段と、第2のPLL回路のデジタル部およびVCO部に電力を供給する電源供給手段と、を備えたことを特徴とする。

【0015】前記の電源構成によれば、同一の半導体基板上に2つのPLL回路を備えた送受信用2系統PLL回路において、一方のPLL回路で送信バースト動作等のオン/オフやチャンネル切替等を行った場合に、他方のPLL回路にてロックしている周波数の外れ、例えば、受信動作等が正常に動作しなくなるなどの不具合の発生することを防ぐことができる。

【0016】

【発明の実施の形態】以下、図面を参照して本発明における実施の形態を詳細に説明する。

【0017】図1は本発明の実施の形態1における同一の半導体基板上に構成した無線装置に対応の送受信用2系統PLL回路に電源を供給する構成を示す図である。ここで、前記従来例を示す図11において説明した構成要件に対応し実質的に同等の機能を有するものには同一の符号を付してこれを示し、以下の各図においても同様とする。

【0018】図1において、1は第1のPLL回路、2は第2のPLL回路、3は半導体基板、4は水晶発振子、5aは第1のPLL回路1のアナログ部に電力を供給するアナログ部電源、5bは第2のPLL回路2のアナログ部に電力を供給するアナログ部電源、6aは第1のPLL回路1のデジタル部に電力を供給するデジタル部電源、6bは第2のPLL回路2のデジタル部に電力を供給するデジタル部電源、7aは第1のPLL回路1のVCO部に電力を供給するVCO部電源、7bは第2のPLL回路2のVCO部に電力を供給するVCO部電源、8aは第1のPLL回路1に対するチャンネルデータ、8bは第2のPLL回路2に対するチャンネルデータ、9aは第1のPLL回路1の出力信号、9bは第2のPLL回路2の出力信号である。

【0019】以上のように構成された送受信用2系統PLL回路において、第1のPLL回路1に対するチャンネルデータ8aを入力することで、第1のPLL回路1

の出力信号9aの周波数はAチャンネルでロックする。この時、各部に電力を供給する第1のPLL回路1のアナログ部電源5aと、第1のPLL回路1のデジタル部電源6aと、第1のPLL回路1のVCO部電源7aの出力が変動する(図2参照)。

【0020】さらに、第2のPLL回路2に対するチャンネルデータ8bを入力することで、第2のPLL回路2の出力信号9bの周波数はBチャンネルでロックする。この時も、前述したように、各部に電力を供給する第2のPLL回路2のアナログ部電源5bと、第2のPLL回路2のデジタル部電源6bと、第2のPLL回路2のVCO部電源7bの出力が変動する(図2参照)。

【0021】しかしながら、図2に示すように第2のPLL回路2のアナログ部電源5b、デジタル部電源6b、VCO部電源7bとが変動した時、第1のPLL回路1のアナログ部電源5a、デジタル部電源6a、VCO部電源7aを別電源として構成していることから、第1のPLL回路1の各部電源には影響を及ぼすことなく、第1のPLL回路1の出力信号9aの周波数に影響することはない。

【0022】以上のように、本実施の形態1によれば、無線装置に対応の送受信用2系統PLL回路において、第1のPLL回路1のアナログ部の電源供給手段であるアナログ部電源5aと、第1のPLL回路1のデジタル部の電源供給手段であるデジタル部電源6aと、第1のPLL回路1のVCO部の電源供給手段であるVCO部電源7aと、第2のPLL回路2のアナログ部の電源供給手段であるアナログ部電源5bと、第2のPLL回路2のデジタル部の電源供給手段であるデジタル部電源6bと、第2のPLL回路2のVCO部の電源供給手段であるVCO部電源7bをそれぞれ単独電源とし、各部に電力を供給することで、互いの電源電圧に影響を及ぼすことなく各出力周波数に対する影響をなくすることができる。

【0023】図3は本発明の実施の形態2における同一の半導体基板上に構成した無線装置に対応の送受信用2系統PLL回路に電源を供給する構成を示す図である。

【0024】図3において、1は第1のPLL回路、2は第2のPLL回路、3は半導体基板、4は水晶発振子、5は第1、第2のPLL回路1、2のアナログ部に電力を供給するアナログ部電源、6aは第1のPLL回路1のデジタル部電源、6bは第2のPLL回路2のデジタル部電源、7aは第1のPLL回路1のVCO部電源、7bは第2のPLL回路2のVCO部電源、8aは第1のPLL回路1に対するチャンネルデータ、8bは第2のPLL回路2に対するチャンネルデータ、9aは第1のPLL回路1の出力信号、9bは第2のPLL回路2の出力信号である。

【0025】本実施の形態2において、第1のPLL回路1に対するチャンネルデータ8aを入力することで、

第1のPLL回路1の出力信号9aの周波数はAチャンネルでロックする。この時、第1のPLL回路1のアナログ部と、第2のPLL回路2のアナログ部に電力を供給するアナログ部電源5と、第1のPLL回路1のデジタル部電源6aと、第1のPLL回路1のVCO部電源7aの出力が変動する(図4参照)。

【0026】また、第2のPLL回路2に対するチャンネルデータ8bを入力することで、第2のPLL回路2の出力信号9bの周波数はBチャンネルでロックする。この時、第1、第2のPLL回路1、2のアナログ部電源5と、第2のPLL回路2のデジタル部電源6bと、第2のPLL回路2のVCO部電源7bとが変動する。この影響で、第1のPLL回路1の出力信号9aの出力が変動する(図4参照)。

【0027】しかしながら、アナログ部電源5の変動による出力信号9aの周波数変動は小さいもので、通信の妨げになる周波数の変動とはならない。

【0028】以上のように、本実施の形態2によれば、送受信用2系統PLL回路において、第1、第2のPLL回路1、2のアナログ部の電源供給手段であるアナログ部電源5と、第1のPLL回路1のデジタル部の電源供給手段であるデジタル部電源6aと、第1のPLL回路1のVCO部の電源供給手段となるVCO部電源7aと、第2のPLL回路2のデジタル部の電源供給手段であるデジタル部電源6bと、第2のPLL回路2のVCO部の電源供給手段であるVCO部電源7bをそれぞれ単独電源とし、各部に電力を供給することで、互いの電源電圧に影響を及ぼす干渉を最小限に抑えることができ、通信の妨げとなる各出力周波数の変動をなくすることができる。

【0029】図5は本発明の実施の形態3における同一の半導体基板上に構成した無線装置に対応の送受信用2系統PLL回路に電源を供給する構成を示す図である。

【0030】図5において、1は第1のPLL回路、2は第2のPLL回路、3は半導体基板、4は水晶発振子、6aは第1のPLL回路1のデジタル部電源、6bは第2のPLL回路2のデジタル部電源、7aは第1のPLL回路1のVCO部電源、7bは第2のPLL回路2のVCO部電源、8aは第1のPLL回路1に対するチャンネルデータ、8bは第2のPLL回路2に対するチャンネルデータ、9aは第1のPLL回路1の出力信号、9bは第2のPLL回路2の出力信号、10は水晶発振子4の信号を増幅するリファレンスアンプ回路、11はリファレンスアンプ回路の出力信号をアナログ信号からデジタル信号に変換する変換回路であるECL-CMOS変換回路、12は、第1、第2のPLL回路1、2のアナログ部、リファレンスアンプ回路10、およびECL-CMOS変換回路11の各部に電力を供給するアナログ部、リファレンスアンプ回路、ECL-CMOS変換回路電源である。

【0031】本実施の形態3において、第1のPLL回路1に対するチャンネルデータ8aを入力することで、第1のPLL回路1の出力信号9aの周波数はAチャンネルでロックする。この時、第1、第2のPLL回路1、2のアナログ部と、共通部のリファレンスアンプ回路部10と、共通部のECL-CMOS変換回路部とに電力を供給するアナログ部、リファレンス回路、ECL-CMOS変換回路電源12と、第1のPLL回路1のデジタル部電源6aと、第1のPLL回路1のVCO部電源7aの出力が変動する(図6参照)。

【0032】また、第2のPLL回路2に対するチャンネルデータ8bを入力することで、第2のPLL回路2の出力信号9bの周波数はBチャンネルでロックする。この時、アナログ部、リファレンスアンプ回路、ECL-CMOS変換回路電源12と、第2のPLL回路2のデジタル部電源6bと、第2のPLL回路2のVCO部電源7bとが変動する。この影響で、第1のPLL回路1の出力信号9aの出力が変動する(図6参照)。

【0033】しかしながら、アナログ部、リファレンスアンプ回路、ECL-CMOS変換回路電源12の変動による出力信号9aの周波数変動は小さいもので、通信の妨げになる周波数の変動とはならない。

【0034】以上のように、本実施の形態3によれば、無線装置に対応の送受信用2系統PLL回路において、第1、第2のPLL回路1、2のアナログ部、リファレンスアンプ回路10、ECL-CMOS変換回路11の電源供給手段であるアナログ部、リファレンスアンプ回路、ECL-CMOS変換回路電源12と、第1のPLL回路1のデジタル部の電源供給手段であるデジタル部電源6aと、第1のPLL回路1のVCO部の電源供給手段であるVCO部電源7aと、第2のPLL回路2のデジタル部の電源供給手段であるデジタル部電源6bと、第2のPLL回路2のVCO部の電源供給手段であるVCO部電源7bをそれぞれ単独電源とし、各部に電力を供給することで、互いの電源電圧に影響を及ぼす干渉を最小限に抑えることができ、通信の妨げとなる各出力周波数の変動をなくすることができる。

【0035】図7は本発明の実施の形態4における同一の半導体基板上に構成した無線装置に対応の送受信用2系統PLL回路に電源を供給する構成を示す図である。

【0036】図7において、1は第1のPLL回路、2は第2のPLL回路、3は半導体基板、4は水晶発振子、8aは第1のPLL回路1に対するチャンネルデータ、8bは第2のPLL回路2に対するチャンネルデータ、9aは第1のPLL回路1の出力信号、9bは第2のPLL回路2の出力信号、10はリファレンスアンプ回路、11はECL-CMOS変換回路、12はアナログ部、リファレンスアンプ回路、ECL-CMOS変換回路電源、13aは第1のPLL回路1のデジタル部およびVCO部に電力を供給するデジタル部、VCO部電

源、13bは第2のPLL回路2のデジタル部およびVCO部に電力を供給するデジタル部、VCO部電源である。

【0037】本実施の形態4において、第1のPLL回路1に対するチャンネルデータ8aを入力することで、第1のPLL回路1の出力信号9aの周波数はAチャンネルでロックする。この時、第1、第2のPLL回路1、2のアナログ部と、共通部のリファレンスアンプ回路10と、共通部のECL-CMOS変換回路11とに電力を供給するアナログ部、リファレンスアンプ回路、ECL-CMOS変換回路電源12と、第1のPLL回路1のデジタル部およびVCO部に電力を供給するデジタル部、VCO部電源13aの出力が変動する(図8参照)。

【0038】また、第2のPLL回路2に対するチャンネルデータ8bを入力することで、第2のPLL回路2の出力信号9bの周波数はBチャンネルでロックする。この時、アナログ部、リファレンスアンプ回路、ECL-CMOS変換回路電源12と、第2のPLL回路2のデジタル部およびVCO部に電力を供給するデジタル部、VCO部電源13bの出力が変動する。この影響で、第1のPLL回路1の出力信号9aの出力が変動する(図8参照)。

【0039】しかしながら、アナログ部、リファレンスアンプ回路、ECL-CMOS変換回路電源12の変動による出力信号9aの周波数変動は小さいもので、通信の妨げになる周波数の変動とはならない。

【0040】以上のように、本実施の形態4によれば、無線装置に対応の送受信2系統PLL回路において、第1、第2のPLL回路1、2のアナログ部、リファレンスアンプ回路10、ECL-CMOS変換回路11の電源供給手段であるアナログ部、リファレンスアンプ回路、ECL-CMOS変換回路電源12と、第1のPLL回路1のデジタル部およびVCO部の電源供給手段であるデジタル部、VCO部電源13aと、第2のPLL回路2のデジタル部およびVCO部の電源供給手段であるデジタル部、VCO部電源13bをそれぞれ単独電源とし、各部に電力を供給することで、互いの電源電圧に影響を及ぼす干渉を最小限に抑えることができ、通信の妨げとなる各出力周波数の変動をなくすることができる。

【0041】図9は本発明の実施の形態5における同一の半導体基板上に構成した無線装置に対応の送受信2系統PLL回路に電源を供給する構成を示す図である。

【0042】図9において、1は第1のPLL回路、2は第2のPLL回路、3は半導体基板、4は水晶発振子、8aは第1のPLL回路1に対するチャンネルデータ、8bは第2のPLL回路2に対するチャンネルデータ、9aは第1のPLL回路1の出力信号、9bは第2のPLL回路2の出力信号、10はリファレンスアンプ回路、11はECL-CMOS変換回路、13bは第2

のPLL回路2のデジタル部およびVCO部に電力を供給するデジタル部、VCO部電源、14は第1のPLL回路1のデジタル部およびVCO部、第1、第2のPLL回路1、2のアナログ部、リファレンスアンプ回路10、およびECL-CMOS変換回路11に電力を供給するデジタル部、VCO部、アナログ部、リファレンスアンプ回路、ECL-CMOS変換回路電源である。

【0043】本実施の形態5において、第1のPLL回路1に対するチャンネルデータ8aを入力することで、第1のPLL回路1の出力信号9aの周波数はAチャンネルでロックする。この時、デジタル部、VCO部、アナログ部、リファレンスアンプ回路、ECL-CMOS変換回路電源14の出力が変動する(図10参照)。

【0044】また、第2のPLL回路2に対するチャンネルデータ8bを入力することで、第2のPLL回路2の出力信号9bの周波数はBチャンネルでロックする。この時、デジタル部、VCO部、アナログ部、リファレンスアンプ回路、ECL-CMOS変換回路電源14と、第2のPLL回路2のデジタル部およびVCO部に電力を供給するデジタル部、VCO部電源13bの出力が変動する。この影響で、第1のPLL回路1の出力信号9aの周波数が変動する(図10参照)。

【0045】しかしながら、デジタル部、VCO部、アナログ部、リファレンスアンプ回路、ECL-CMOS変換回路電源14の変動による出力信号9aの周波数変動は小さいもので、通信の妨げになる周波数の変動は起こらない。

【0046】以上のように、本実施の形態5によれば、無線装置に対応の送受信2系統PLL回路において、第1のPLL回路1のデジタル部およびVCO部、第1、第2のPLL回路1、2のアナログ部、リファレンスアンプ回路、ECL-CMOS変換回路の電源供給手段であるデジタル部、VCO部、アナログ部、リファレンスアンプ回路、ECL-CMOS変換回路電源14と、第2のPLL回路2のデジタル部およびVCO部の電源供給手段である第2のPLL回路2のデジタル部、VCO部電源13bをそれぞれ単独電源とし、各部に電力を供給することで、互いの電源電圧に影響を及ぼす干渉を最小限に抑えることができ、通信の妨げになるような各出力周波数の変動をなくすることができる。

【0047】

【発明の効果】以上説明したように、本発明によれば、同一半導体基板上に構成される送受信2系統PLL回路において、第1のPLL回路のアナログ部、デジタル部、VCO部、第2のPLL回路のアナログ部、デジタル部、VCO部、リファレンスアンプ回路、ECL-CMOS変換回路に電力を供給する複数の電源供給手段を備えることで、お互いの電源供給手段の周波数変動を抑制することができる優れた送受信2系統PLL回路を実現できるという効果を奏する。

11

12

【図面の簡単な説明】

【図1】本発明の実施の形態1における同一半導体基板上に構成した送受信2系統PLL回路に電源を供給する構成を示す図

【図2】本実施の形態1における同一半導体基板上に構成した送受信2系統PLL回路における各部のタイミングチャート

【図3】本発明の実施の形態2における同一半導体基板上に構成した送受信2系統PLL回路に電源を供給する構成を示す図

【図4】本実施の形態2における同一半導体基板上に構成した送受信2系統PLL回路における各部のタイミングチャート

【図5】本発明の実施の形態3における同一半導体基板上に構成した送受信2系統PLL回路に電源を供給する構成を示す図

【図6】本実施の形態3における同一半導体基板上に構成した送受信2系統PLL回路における各部のタイミングチャート

【図7】本発明の実施の形態4における同一半導体基板上に構成した送受信2系統PLL回路に電源を供給する構成を示す図

【図8】本実施の形態4における同一半導体基板上に構成した送受信2系統PLL回路における各部のタイミングチャート

【図9】本発明の実施の形態5における同一半導体基板上に構成した送受信2系統PLL回路に電源を供給する構成を示す図

【図10】本実施の形態5における同一半導体基板上に構成した送受信2系統PLL回路における各部のタイミングチャート

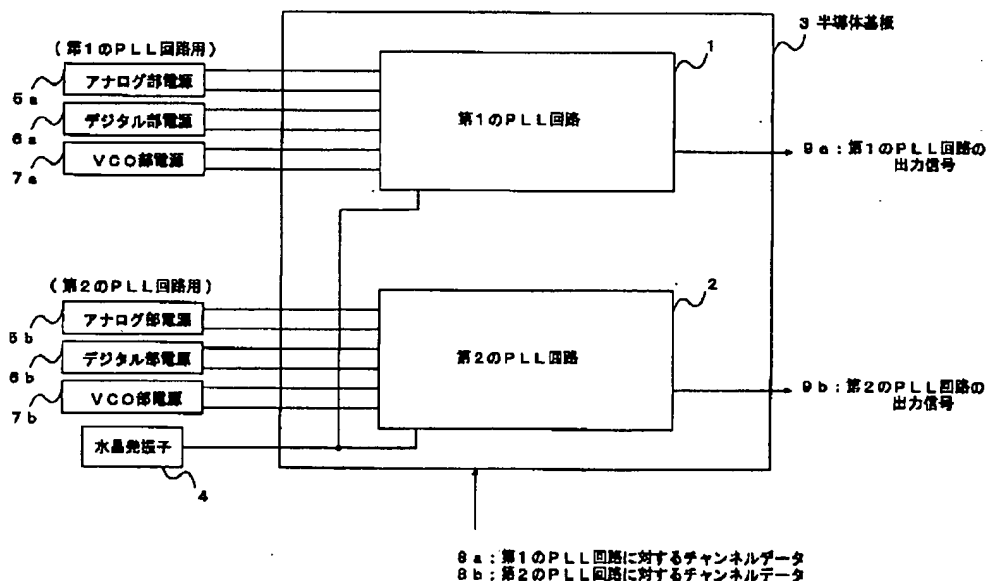
【図11】従来の無線装置に対応の送信受信2系統PLL回路を1つの半導体集積回路で構成し、電源供給を行う概略を示す構成図

【図12】従来の同一半導体基板上に構成した送受信2系統PLL回路における各部のタイミングチャート

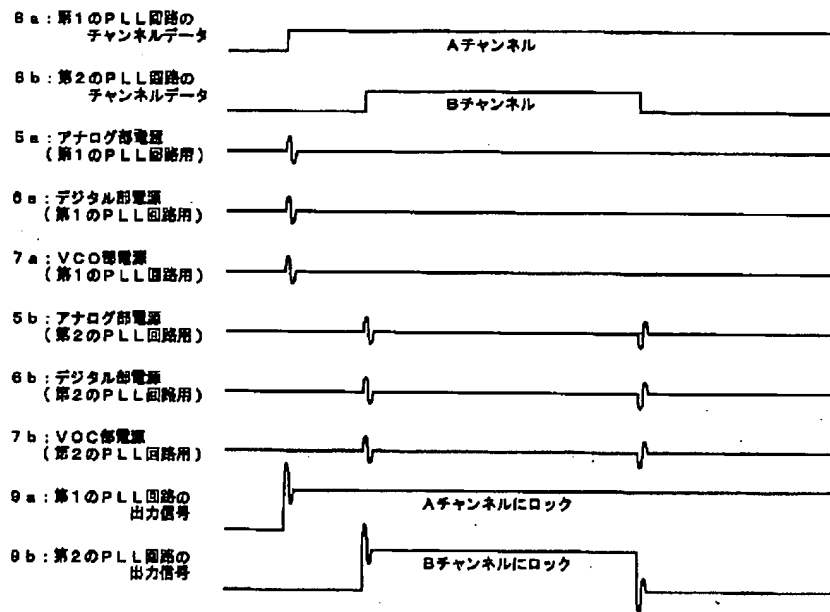
【符号の説明】

- 1 第1のPLL回路
2 第2のPLL回路
3 半導体基板
4 水晶発振子
5, 5a, 5b アナログ部電源
6, 6a, 6b デジタル部電源
7, 7a, 7b VCO部電源
8a 第1のPLL回路に対するチャンネルデータ
8b 第2のPLL回路に対するチャンネルデータ
9a 第1のPLL回路の出力信号
9b 第2のPLL回路の出力信号
10 リファレンスアンプ回路
11 ECL-CMOS変換回路
12 アナログ部、リファレンスアンプ回路、ECL-CMOS変換回路電源
13a, 13b デジタル部、VCO部電源
14 デジタル部、VCO部、アナログ部、リファレンスアンプ回路、ECL-CMOS変換回路電源

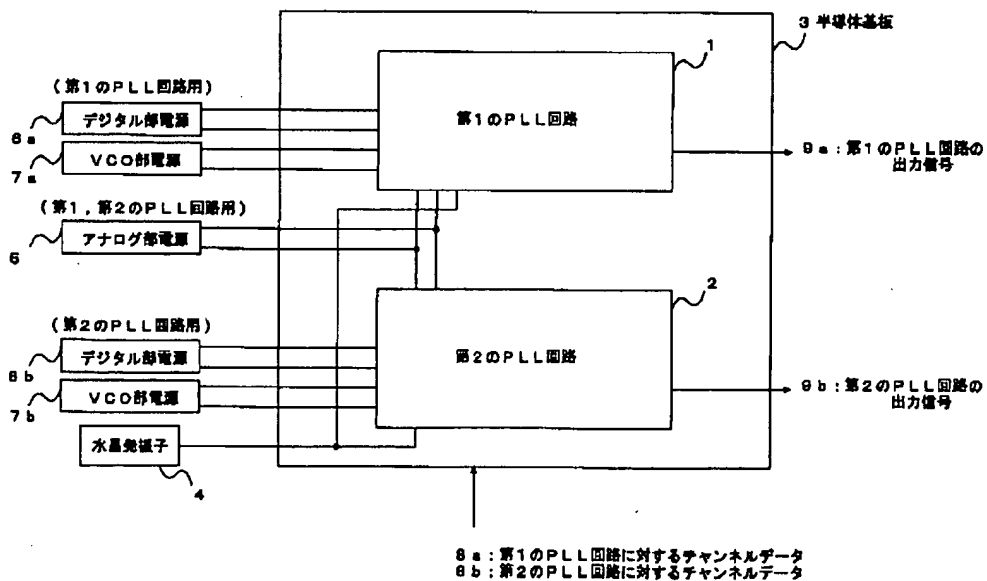
【図1】



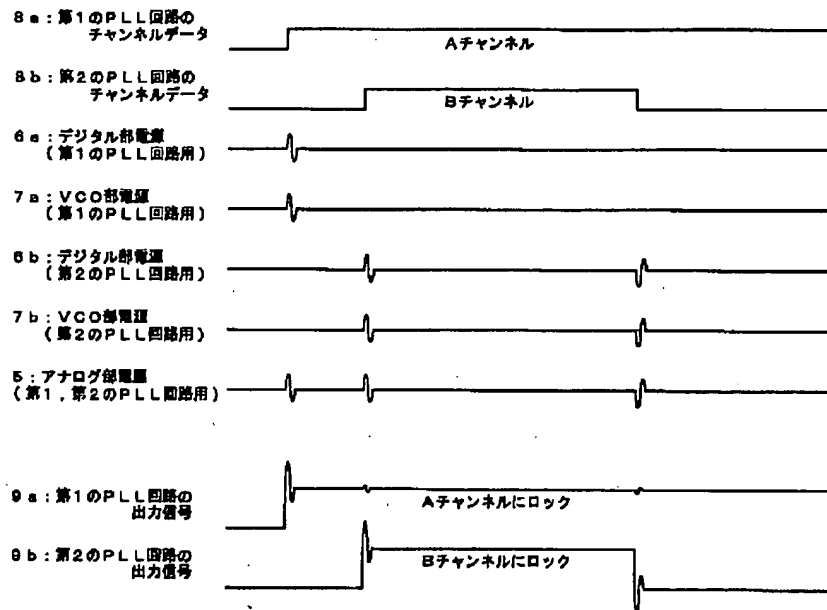
【図2】



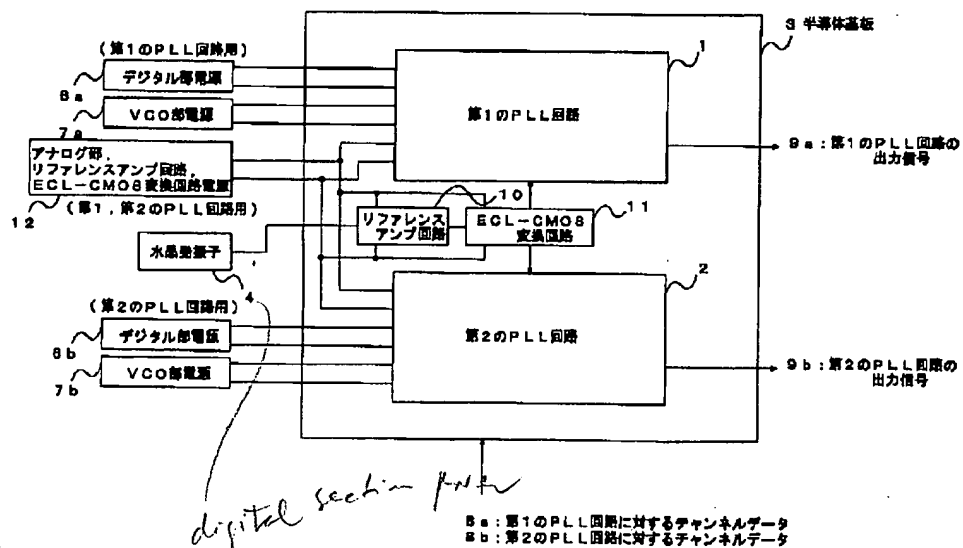
【図3】



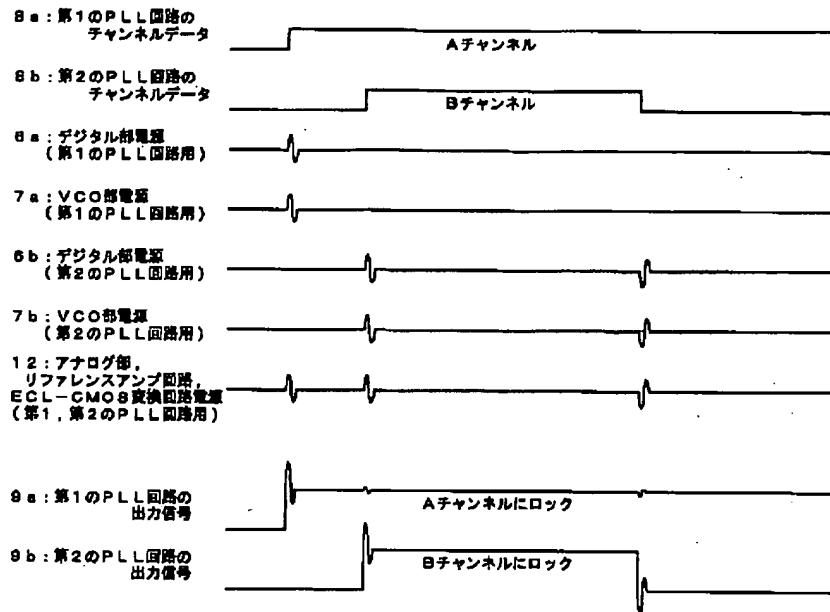
【図4】



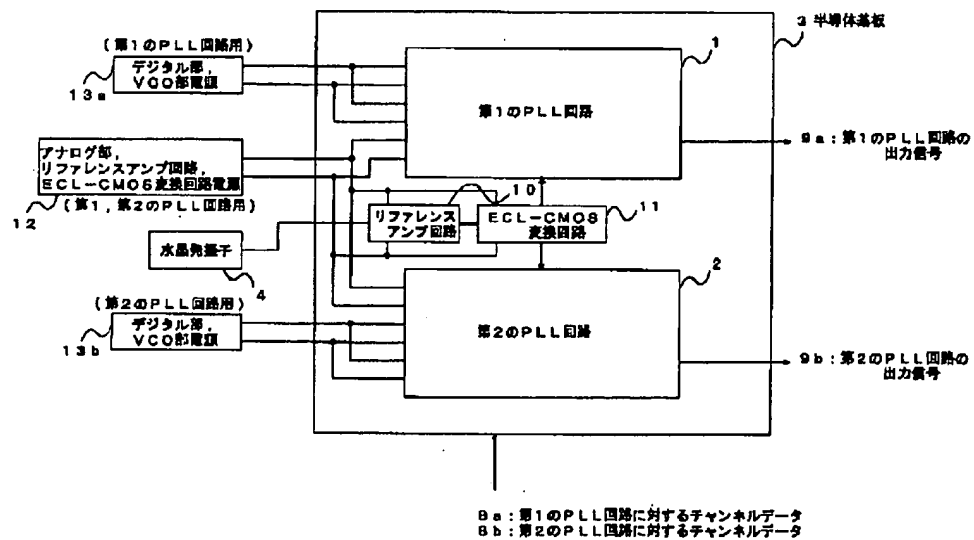
【図5】



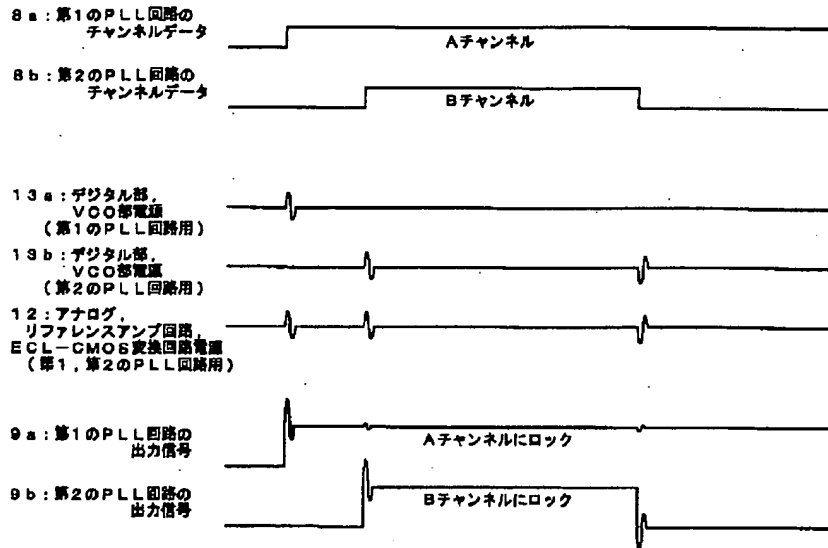
【図6】



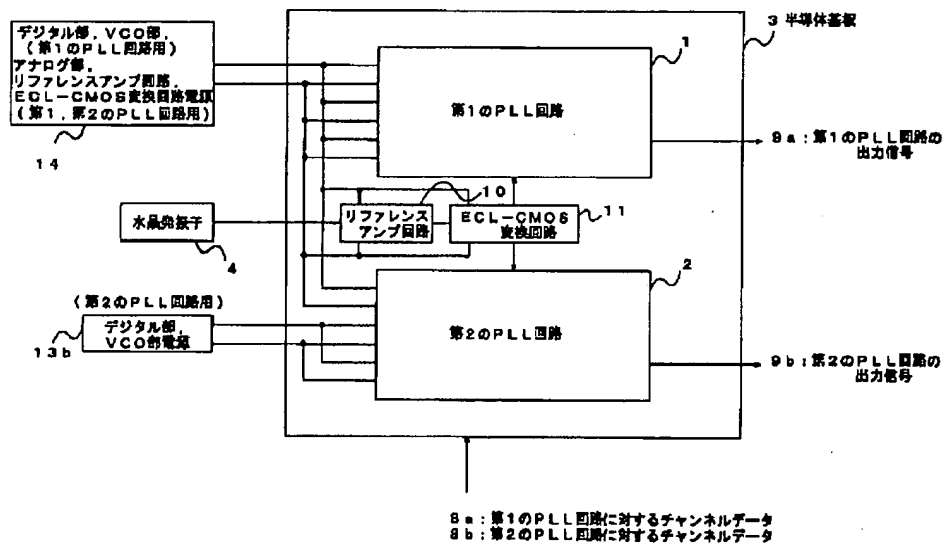
【図7】



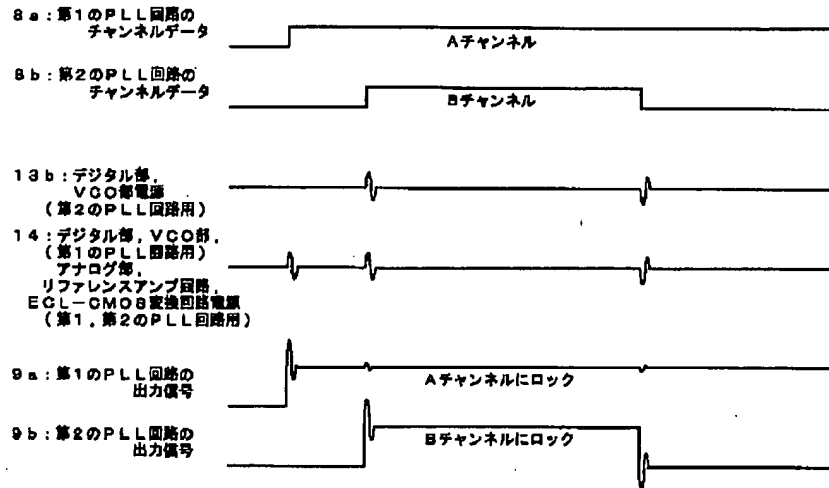
【図8】



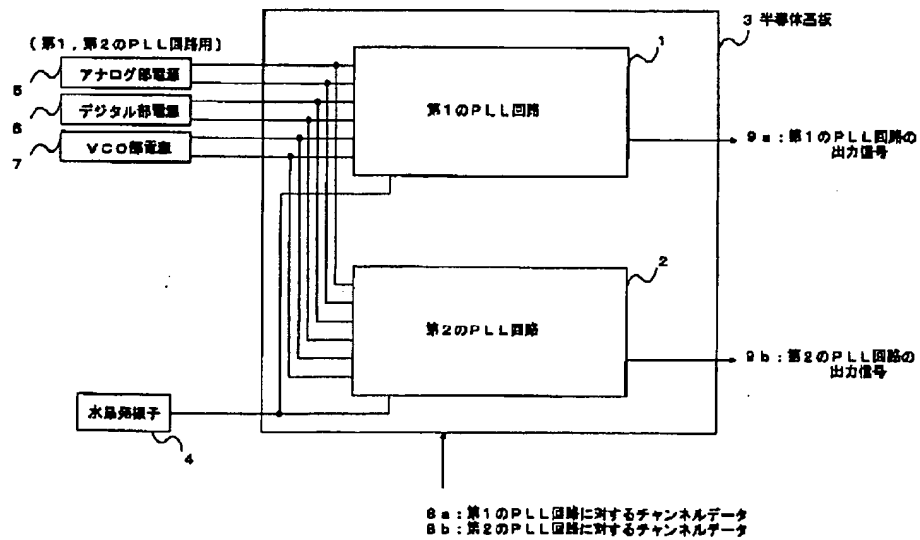
【図9】



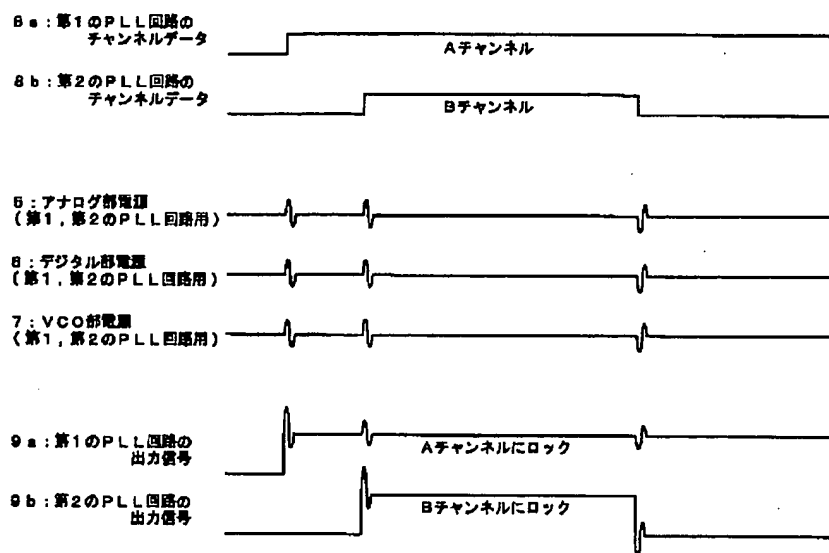
【図10】



【図11】



【図12】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.